

Family list

2 family member for: **JP8029807**

Derived from 1 application

1 LIQUID CRYSTAL DISPLAY ARRAY AND ITS PRODUCTION

Inventor: OODOI YUUZOU; WATANABE AKIHIRO; (+6)

Applicant: MITSUBISHI ELECTRIC CORP

EC:

IPC: G02F1/136; G02F1/1368; H01L21/02 (+12)

Publication info: JP3278296B2 B2 - 2002-04-30
JP8029807 A - 1996-02-02

Data supplied from the *esp@cenet* database - Worldwide

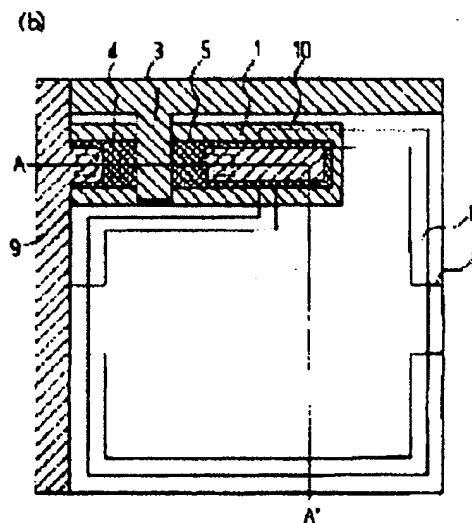
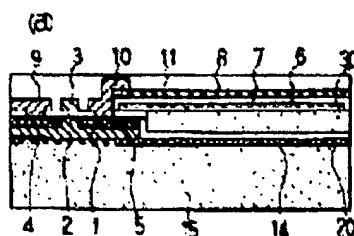
LIQUID CRYSTAL DISPLAY ARRAY AND ITS PRODUCTION

Patent number: JP8029807
Publication date: 1996-02-02
Inventor: OODOI YUUZOU; WATANABE AKIHIRO; MURAI HIROYUKI; IWASA TOSHINORI; TAKAHASHI KAZUHISA; KUMAGAI MUNEHITO; KUZUMI HISATOSHI; NAMISAKI HIROBUMI
Applicant: MITSUBISHI ELECTRIC CORP
Classification:
- international: G02F1/136; G02F1/1368; H01L21/02; H01L21/336; H01L27/12; H01L29/78; H01L29/786; G02F1/13; H01L21/02; H01L27/12; H01L29/66; (IPC1-7): G02F1/136; H01L21/336; H01L27/12; H01L29/786
- european:
Application number: JP19940161501 19940713
Priority number(s): JP19940161501 19940713

Report a data error here

Abstract of JP8029807

PURPOSE: To attain high precision and high performance of pixel and to improve the reproducibility and reliability by joining MOS transistor formed into a thin film and a transparent pixel electrode formed on a glass to a transparent supporting substrate. **CONSTITUTION:** To The MOS transistor is formed on a single crystal Si substrate. A retention volume element is formed by laminating successively a retention volume electrode 6 composed of a transparent ITO or the like, a retention volume film 7 composed of Si_3N_4 , SiO_2 , Al_2O_3 , Ta_2O_3 or like and a transparent picture element electrode 8 composed of ITO or the like on the glass separated by a barrier film 2 formed in the vicinity of the MOS transistor and composed of a Si thermal oxidized film or the like in this order. And the single crystal Si substrate 1, on which the MOS transistor is formed, and the glass, on which the transparent picture element electrode 8 is formed, are joined to the transparent supporting substrate 15 via a joining layer 14 formed on the rear face of the single crystal Si substrate, having a protective film 11 and composed of a transparent organic adhesive such as acrylate or epoxy, and the surface of the barrier layer 20.



Data supplied from the *esp@cenet* database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-29807

(43) 公開日 平成8年(1996)2月2日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0			
H 0 1 L 27/12		B		
29/786				
	9056-4M	H 0 1 L 29/ 78	3 1 1 A	
	9056-4M		3 1 1 Y	
審査請求 未請求 請求項の数12 O L (全 14 頁) 最終頁に続く				

(21) 出願番号 特願平6-161501

(22) 出願日 平成6年(1994)7月13日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 大土井 雄三

尼崎市塚口本町八丁目1番1号 三菱電機
株式会社材料デバイス研究所内

(72) 発明者 渡辺 昭裕

尼崎市塚口本町八丁目1番1号 三菱電機
株式会社材料デバイス研究所内

(72) 発明者 村井 博之

尼崎市塚口本町八丁目1番1号 三菱電機
株式会社材料デバイス研究所内

(74) 代理人 弁理士 曾我 道照 (外6名)

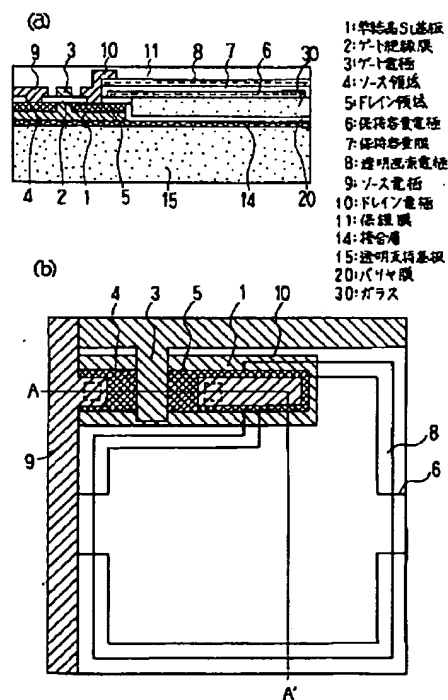
最終頁に続く

(54) 【発明の名称】 液晶表示アレイ及びその製造方法

(57) 【要約】

【構成】 単結晶Si基板1上に薄膜化MOSトランジスタを形成し、このMOSトランジスタに隣接するガラス30上に透明画素電極8を形成して、これらに接合層14により透明支持基板15を接合する。

【効果】 画素のスイッチング素子やその周辺回路がMOSトランジスタで構成されるため、画素の高精細化、高性能化が図れるだけでなく、その再現性や信頼性が向上する。



【特許請求の範囲】

【請求項 1】 単結晶 Si 基板を用いて形成された薄膜化 MOS トランジスタと、前記 MOS トランジスタに接続され、前記 MOS トランジスタに隣接するガラス上に形成された透明画素電極とを、透明支持基板に接合したことを特徴とする液晶表示アレイ。

【請求項 2】 単結晶 Si 基板に溝を形成する工程と、前記溝にガラスを充填する工程と、前記単結晶 Si 基板に MOS トランジスタを形成する工程と、前記ガラス充填部に透明画素電極を形成する工程と、前記単結晶 Si 10 基板裏面を前記ガラス充填部が露出するまで除去する工程と、前記単結晶 Si 基板裏面に透明支持基板を接合する工程とを含むことを特徴とする液晶表示アレイの製造方法。

【請求項 3】 単結晶 Si 基板に溝を形成する工程と、前記溝にガラスを充填する工程と、前記単結晶 Si 基板に MOS トランジスタを形成する工程と、前記 MOS トランジスタの形成面に透明支持基板を接合する工程と、前記単結晶 Si 基板裏面を前記ガラス充填部が露出するまで除去する工程と、前記単結晶 Si 基板裏面の前記ガ 20 ラス充填部に透明画素電極を形成する工程とを含むことを特徴とする液晶表示アレイの製造方法。

【請求項 4】 単結晶 Si 基板に溝を形成する工程と、前記溝にガラスを充填する工程と、前記ガラス充填部に透明支持基板を接合する工程と、前記単結晶 Si 基板裏面を前記ガラス充填部が露出するまで除去する工程と、前記単結晶 Si 基板に MOS トランジスタを形成する工程と、前記ガラス充填部に透明画素電極を形成する工程とを含むことを特徴とする液晶表示アレイの製造方法。

【請求項 5】 単結晶 Si 基板の内部に Si に比べてエッチング速度の小さいエッチングストップ層を形成する工程と、前記エッチングストップ層上部の単結晶 Si 部分に MOS トランジスタを形成する工程と、前記 MOS トランジスタ形成部以外の単結晶 Si の一部分を前記エッチングストップ層まで除去して溝を形成する工程と、前記溝に透明画素電極を形成する工程と、前記素子形成面に透明支持基板を接合する工程と、前記単結晶 Si 30 基板裏面を前記エッチングストップ層まで除去する工程とを含むことを特徴とする液晶表示アレイの製造方法。

【請求項 6】 単結晶 Si 基板の内部に Si に比べてエッチング速度の小さいエッチングストップ層を形成する工程と、前記エッチングストップ層上部の単結晶 Si 部分に MOS トランジスタを形成する工程と、透明画素電極を形成する工程と、前記素子形成面に透明支持基板を接合する工程と、前記単結晶 Si 基板裏面を前記エッチングストップ層まで除去する工程と、前記透明画素電極部のエッチングストップ層と単結晶 Si 部分を除去する工程とを含むことを特徴とする液晶表示アレイの製造方法。

【請求項 7】 請求項 5 又は請求項 6 の液晶表示アレイ 50

の製造方法において、

前記単結晶 Si 基板の内部に Si に比べてエッチング速度の小さいエッチングストップ層を形成する工程は、B、O、N のイオン注入により行われることを特徴とする液晶表示アレイの製造方法。

【請求項 8】 単結晶 Si 基板に溝を形成する工程と、前記溝に Si に比べてエッチング速度の小さいエッチングストップ層を形成する工程と、前記溝以外の単結晶 Si 部分に MOS トランジスタを形成する工程と、前記溝に透明画素電極を形成する工程と、前記素子形成面に透明支持基板を接合する工程と、前記単結晶 Si 基板裏面を前記エッチングストップ層まで除去する工程とを含むことを特徴とする液晶表示アレイの製造方法。

【請求項 9】 単結晶 Si 基板に MOS トランジスタを形成し、透明画素電極を形成する工程と、前記単結晶 Si 基板を裏面より薄膜化して、透明支持板を接合する工程と、前記透明画素電極部の単結晶 Si 基板を除去して空洞を形成する工程と、前記空洞に透明封止剤を充填する工程とを含むことを特徴とする液晶表示アレイの製造方法。

【請求項 10】 単結晶 Si 基板に MOS トランジスタを形成し、透明画素電極を形成する工程と、前記単結晶 Si 基板を裏面より薄膜化して、対向電極となる透明導体付きの透明支持基板を接合する工程と、前記透明画素電極部の単結晶 Si 部分を除去して空洞を形成する工程と、前記空洞に液晶を注入する工程とを含むことを特徴とする液晶表示アレイの製造方法。

【請求項 11】 請求項 9 又は請求項 10 の液晶表示アレイの製造方法において、前記透明画素電極と前記単結晶 Si 基板の間に、エッチング液を導く犠牲層を形成する工程を含むこと特徴とする液晶表示アレイの製造方法。

【請求項 12】 単結晶 Si 基板を用いて形成された MOS トランジスタと、前記 MOS トランジスタに隣接するガラス上に形成された透明画素電極であって、透明画素電極部の単結晶部分の除去部から液晶が注入された透明画素電極とからなり、前記単結晶 Si 基板が液晶セル厚を規定する対向基板とのギャップスペーサまたは画素分離壁とされていることを特徴とする液晶表示アレイ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、液晶ディスプレイまたは投射型プロジェクタのライトバルブ等に用いられる液晶表示アレイ及びその製造方法に関するものである。

【0002】

【従来の技術】 以前は、液晶ディスプレイまたは投射型プロジェクタのライトバルブ等に、画素毎にアモルファス Si (以下 a-Si) または多結晶 Si (以下 Poly-Si) からなる薄膜トランジスタ (以後 TFT) を

設け、このスイッチング動作により画素電極に電圧を印加して液晶を駆動するというアクティブマトリックス方式の液晶表示アレイが、高画質が得られるという点で多く使用されていた（以下、液晶表示アレイとは透過型液晶表示アレイの事を指すものとする）。そして、主に直視型液晶ディスプレイには、大面積ガラス基板にトランジスタが形成できるa-Si TFTが、投写型プロジェクタのライトバルブには、小面積な石英基板に小型で高性能なトランジスタが形成できるPoly-Si TFTが用いられていた。しかし、これらTFTの形成には、透明で絶縁体のガラスまたは石英基板が使用されているため、単結晶Si基板用の通常の半導体製造装置やプロセス条件をそのまま使用することができないという問題点があった。

【0003】また、HDTVに代表されるように画面の高精細化が進んでおり、現在は周辺回路として画面の周囲に専用ICを取付ける場合が多いが、画素ピッチが小さくなると取付けが困難になり、周辺回路も同じ基板上に形成できることが望ましいとされていた。

【0004】図12(a)、(b)は、例えば文献IE DM89-7. 3 P165~P168や特開平2-154232号公報に示された従来の液晶表示アレイの一画素を示す断面図と平面図である。図12(a)において、101、104、105はSiO₂からなる分離絶縁膜102の上に形成されたPoly-Siからなるチャンネル、ソース、ドレインであり、2はチャンネル101の上に形成されたSi₃N₄、SiO₂等からなるゲート絶縁膜、3はAl、Ta、Cr、Si等からなるゲート電極、9、10はAl、Ta、Cr、Si等からなるソース、ドレイン電極である。6は分離絶縁膜102の上に形成されたITOからなる保持容量電極であり、7はその保持容量電極6の上に形成されたSi₃N₄、SiO₂等からなる保持容量膜、8はその保護容量膜7の上に形成されたITOからなる透明画素電極、11はこれらの素子表面全体を保護するSi₃N₄、SiO₂等からなる保護膜である。15はガラス、石英等からなる透明支持基板であり、有機接着剤等からなる接合層14により分離絶縁膜102に接合されている。

【0005】図12(b)において、A-A'は図13(a)の断面線を示している。保持容量電極6は、透明なITOで形成されているので開口率に影響がなく、大きさも透明画素電極8とはほぼ同じ大きさにしているが、保持容量電極6が不透明なAl、Ta、Cr等の金属からなる場合には、大きさを必要最小限にして開口率の低下を押さえる必要がある。

【0006】次に、製造方法について説明する。図13(a)~(f)は従来の液晶表示アレイの製造方法を示す断面図である。図13(a)は、単結晶Si基板1上に熱酸化膜からなる分離絶縁層102を形成し、さらにTFTとなるPoly-Siのチャンネル101を形成す

る工程である。

【0007】図13(b)は、通常のLSIプロセスで画素部のPoly-Si TFTと透明画素電極8、保持容量電極6、保持容量膜7、保護膜11を形成する工程であり、この時、同時に周辺回路も形成する。

【0008】図13(c)は、上述の素子形成面にSi等の支持基板13を、有機接着剤等からなる接合層12で接合する工程である。

【0009】図13(d)は、単結晶Si基板1の裏面を分離絶縁膜102まで、研削、研磨、エッチングで除去する工程である。この時、分離絶縁膜102があるため、単結晶Si基板1の精度の良い薄膜化が可能になっている。

【0010】図13(e)は、上述の単結晶Si基板1の裏面にガラス等からなる透明な支持基板15を有機接着剤等からなる接合層14で接合する工程である。

【0011】図13(f)は、支持基板13、接合層12を除去する工程であり、接合層12はO₂プラズマエッチングで除去する。この液晶表示アレイを、液晶をはさんで透明導体の付いた対向基板と組み合わせることで液晶表示装置が完成する。

【0012】以上のように、上述の製造方法では、画素のスイッチング素子やその周辺回路素子であるPoly-Si TFTの形成を単結晶Si基板上で同時に行い、それを透明な基板に転載する方法をとっているため、従来の半導体製造装置やプロセス条件が適用でき、周辺回路一体型の液晶表示アレイを形成することができる。

【0013】

【発明が解決しようとする課題】上述のように従来の液晶表示アレイ及びその製造方法では、単結晶Si基板がトランジスタ形成材料として利用されておらず、単結晶Si基板から形成されるトランジスタ（以後MOSトランジスタ）の移動度が1000 cm²/V・Sと、Poly-Si TFTの移動度100 cm²/V・Sやa-Si TFTの移動度の1 cm²/V・Sに比べて10~100倍程度高く、再現性や信頼性の面においても優れているにもかかわらず、単結晶Si基板が十分に活かされていないという問題点があったし、また、今後の画素の高精細化、高性能化に対応して、その周辺回路はより高速に動作する必要性が生じてくるが、現在のTFTの性能では将来の高速動作に十分対応できなくなるという問題点があった。

【0014】さらに、単結晶Si基板上に、MOSトランジスタや画素電極等を形成することは、通常の半導体製造装置やプロセス条件では可能であるが、単結晶Si基板自体が不透明であり、液晶表示アレイとして使用するためには、画素電極部を含めて基板を透明にする必要があり、これらの手段が確立されていないという問題点があった。

【0015】この発明は、このような問題点を解決する

ためになされたものであり、通常の半導体製造装置やプロセス条件が適用でき、画素のスイッチング素子やその周辺回路素子をMOSトランジスタで構成する液晶表示アレイ及びその製造方法を提供することを目的としている。

【0016】

【課題を解決するための手段】この発明の請求項1に係る液晶表示アレイは、単結晶Si基板を用いて形成された薄膜化MOSトランジスタと、前記MOSトランジスタに接続され、前記MOSトランジスタに隣接するガラス上に形成された透明画素電極とを、透明支持基板に接合するものである。

【0017】この発明の請求項2に係る液晶表示アレイの製造方法は、単結晶Si基板に溝を形成する工程と、前記溝にガラスを充填する工程と、前記単結晶Si基板にMOSトランジスタを形成する工程と、前記ガラス充填部に透明画素電極を形成する工程と、前記単結晶Si基板裏面を前記ガラス充填部が露出するまで除去する工程と、前記単結晶Si基板裏面に透明支持基板を接合する工程とを含むものである。

【0018】この発明の請求項3に係る液晶表示アレイの製造方法は、単結晶Si基板に溝を形成する工程と、前記溝にガラスを充填する工程と、前記単結晶Si基板にMOSトランジスタを形成する工程と、前記MOSトランジスタの形成面に透明支持基板を接合する工程と、前記単結晶Si基板裏面を前記ガラス充填部が露出するまで除去する工程と、前記単結晶Si基板裏面の前記ガラス充填部に透明画素電極を形成する工程とを含むものである。

【0019】この発明の請求項4に係る液晶表示アレイの製造方法は、単結晶Si基板に溝を形成する工程と、前記溝にガラスを充填する工程と、前記ガラス充填部に透明支持基板を接合する工程と、前記単結晶Si基板裏面を前記ガラス充填部が露出するまで除去する工程と、前記単結晶Si基板にMOSトランジスタを形成する工程と、前記ガラス充填部に透明画素電極を形成する工程とを含むものである。

【0020】この発明の請求項5に係る液晶表示アレイの製造方法は、単結晶Si基板の内部にSiに比べてエッチング速度の小さいエッチングストップ層を形成する工程と、前記エッチングストップ層上部の単結晶Si部分にMOSトランジスタを形成する工程と、前記MOSトランジスタ形成部以外の単結晶Siの一部分をエッチングストップ層まで除去して溝を形成する工程と、前記溝に透明画素電極を形成する工程と、前記素子形成面に透明支持基板を接合する工程と、前記単結晶Si基板裏面を前記エッチングストップ層まで除去する工程とを含むものである。

【0021】この発明の請求項6に係る液晶表示アレイの製造方法は、単結晶Si基板の内部にSiに比べてエ

ッチング速度の小さいエッチングストップ層を形成する工程と、前記エッチングストップ層上部の単結晶Si部分にMOSトランジスタを形成する工程と、透明画素電極を形成する工程と、前記素子形成面に透明支持基板を接合する工程と、前記Si基板裏面を前記エッチングストップ層まで除去する工程と、前記透明画素電極部のエッチングストップ層と単結晶Si部分を除去する工程とを含むものである。

【0022】この発明の請求項7に係る液晶表示アレイの製造方法は、請求項5又は請求項6の液晶表示アレイの製造方法において、単結晶Si基板の内部にSiに比べてエッチング速度の小さいエッチングストップ層を形成する工程を、B、O、Nのイオン注入により行うものである。

【0023】この発明の請求項8に係る液晶表示アレイの製造方法は、単結晶Si基板に溝を形成する工程と、前記溝にSiに比べてエッチング速度の小さいエッチングストップ層を形成する工程と、前記溝以外の単結晶Si部分にMOSトランジスタを形成する工程と、前記溝に透明画素電極を形成する工程と、前記素子形成面に透明支持基板を接合する工程と、前記単結晶Si基板裏面を前記エッチングストップ層まで除去する工程とを含むものである。

【0024】この発明の請求項9に係る液晶表示アレイの製造方法は、単結晶Si基板にMOSトランジスタを形成する工程と、透明画素電極を形成する工程と、前記単結晶Si基板を裏面より薄膜化する工程と、透明支持基板を接合する工程と、前記透明画素電極部の単結晶Si基板を除去して空洞を形成する工程と、前記空洞に透明封止剤を充填する工程とを含むものである。

【0025】この発明の請求項10に係る液晶表示アレイの製造方法は、単結晶Si基板にMOSトランジスタを形成する工程と、透明画素電極を形成する工程と、前記単結晶Si基板を裏面より薄膜化する工程と、対向電極となる透明導体付きの透明支持基板を接合する工程と、前記透明画素電極部の単結晶Si基板を除去して空洞を形成する工程と、前記空洞に液晶を注入する工程とを含むものである。

【0026】この発明の請求項11に係る液晶表示アレイの製造方法は、請求項9又は請求項10の液晶表示アレイの製造方法において、前記透明画素電極と前記単結晶Si基板との間にエッチング液を導く犠牲層を設ける工程を含むものである。

【0027】この発明の請求項12に係る液晶表示アレイの製造方法は、単結晶Si基板を用いて形成されたMOSトランジスタと、前記MOSトランジスタに隣接するガラス上に形成された透明画素電極であって、透明画素電極部の単結晶部分の除去部から液晶が注入された透明画素電極とからなり、前記単結晶Si基板が液晶セル厚を規定する対向基板とのギャップスペーサまたは画

素分離壁とされているものである。

【0028】

【作用】この発明の請求項1に係る液晶表示アレイでは、画素のスイッチング素子やその周辺回路がMOSトランジスタで構成されるため、画素の高精細化、高性能化が図れるだけでなく、再現性、信頼性が向上し、また、通常の半導体製造装置やプロセス条件が利用できる。

【0029】この発明の請求項2に係る液晶表示アレイの製造方法では、単結晶Si基板に溝を形成してガラスを充填し、そのガラス充填部に透明画素電極を形成しているため、単結晶Si基板の薄膜化後に、MOSトランジスタが形成された単結晶Si部と透明画素電極が形成されたガラス充填部を分離できる。

【0030】この発明の請求項3に係る液晶表示アレイの製造方法では、請求項2の液晶表示アレイの製造方法と同様、単結晶Si基板に溝を形成してガラスを充填し、そのガラス充填部に透明画素電極を形成しているため、単結晶Si基板の薄膜化後に、MOSトランジスタが形成された単結晶Si部と透明画素電極が形成されたガラス充填部を分離できる。

【0031】この発明の請求項4に係る液晶表示アレイの製造方法では、請求項2又は請求項3の液晶表示アレイの製造方法と同様、単結晶Si基板に溝を形成してガラスを充填し、そのガラス充填部に透明画素電極を形成しているため、単結晶Si基板の薄膜化後に、MOSトランジスタが形成された単結晶Si部と透明画素電極が形成されたガラス充填部を分離できる。

【0032】この発明の請求項5に係る液晶表示アレイの製造方法では、単結晶Si基板内にSiに比べてエッチング速度の小さいエッチングストップ層を形成し、そのエッチングストップ層上部の単結晶Si部分にMOSトランジスタを形成して、それ以外の部分をエッチングストップ層まで除去し溝を形成しているため、単結晶Si基板を薄膜化する際、膜厚を精度の良く制御できる。

【0033】この発明の請求項6に係る液晶表示アレイの製造方法では、単結晶Si基板内にSiに比べてエッチング速度の小さいエッチングストップ層を形成し、そのエッチングストップ層上部の単結晶Si部分にMOSトランジスタと透明画素電極を形成しているため、透明支持基板接合後に、透明画素電極を形成する部分のSiを精度良く除去できる。

【0034】この発明の請求項7に係る液晶表示アレイの製造方法では、B、O、Nのイオン注入により、単結晶Si基板の内部にSiに比べてエッチング速度の小さいエッチングストップ層を形成することができる。

【0035】この発明の請求項8に係る液晶表示アレイの製造方法では、単結晶Si基板に溝を形成し、その溝にSiに比べてエッチング速度の小さいエッチングストップ層と透明画素電極を形成しているため、透明支持基

板接合後に、単結晶Si基板の膜厚を精度良く制御できる。

【0036】この発明の請求項9に係る液晶表示アレイの製造方法では、単結晶Si基板を薄膜化した後、透明支持基板を接合し、透明画素電極部の単結晶Siを除去して空洞を形成し、その空洞に透明封止剤を充填しているため、画素部を透明にできる。

【0037】この発明の請求項10に係る液晶表示アレイの製造方法では、単結晶Si基板を薄膜化した後、対向電極となる透明導体付きの透明支持基板を接合し、透明画素電極部の単結晶Siを除去して空洞を形成し、その空洞に液晶を注入しているため、画素部が透明な液晶表示アレイを形成できる。

【0038】この発明の請求項11に係る液晶表示アレイの製造方法では、請求項9又は請求項10の液晶表示アレイの製造方法において、透明画素電極と単結晶Si基板との間にエッチング液を導く犠牲層を設けたため、透明画素電極部の単結晶Siを精度良く除去できる。

【0039】この発明の請求項12に係る液晶表示アレイの製造方法では、単結晶Si基板を液晶セル厚を規定する対向基板とのギャップスペーサ、または、画素分離壁に使用しているため、新たにギャップスペーサを設ける必要がなく、また、隣接画素間の画素電極からの電界干渉を防止できる。

【0040】

【実施例】

実施例1. 図1(a)、(b)は、それぞれこの発明の一実施例を示す断面図と平面図である。図1(a)において、1はチャンネル領域を含む単結晶Si基板であり、この単結晶Si基板1上にMOSトランジスタが形成されており、2はSi₃N₄、SiO₂等からなるMOSトランジスタのゲート絶縁膜、3はSi、Al、Mo、Ti、W、Ta、Cr、Cu等からなるMOSトランジスタのゲート電極、4、5はP、B、As等の不純物を単結晶Si基板1に注入して形成されたMOSトランジスタのソース、ドレイン領域、9、10はSi、Al、Mo、Ti、W、Ta、Cr、Cu等からなるMOSトランジスタのソース、ドレイン電極である。30は上述のMOSトランジスタに隣接して形成され、Si熱酸化膜等からなるバリヤ膜20によって分離されたガラスであり、このガラス30の上に、透明なITO等からなる保持容量電極6、Si₃N₄、SiO₂、Al₂O₃、Ta₂O₅等からなる保持容量膜7、ITO等からなる透明画素電極8が順に積層されて、保持容量素子が形成されている。11はSi₃N₄、SiO₂、Al₂O₃、Ta₂O₅等からなるMOSトランジスタと保持容量素子表面の保護膜、14はアクリル、エポキシ等の透明な有機接着剤からなる単結晶Si基板1の裏面とバリヤ膜20の表面に形成された接合層であり、この接合層14を介して、MOSトランジスタが形成された単結晶Si基板1と透明

画素電極8が形成されたガラス30が、透明支持基板15に接合されている。

【0041】図1(b)において、A-A'は図1

(a)の断面線を示している。本実施例では、保持容量電極6は透明なITOで形成されているため開口率に影響はなく、その大きさも透明画素電極8とほぼ同じ大きさにしているが、もし保持容量電極6が不透明なAl、Ta、Cr等の金属から形成されている場合には、大きさも必要最小限の大きさにして開口率の低下を押さえる必要がある。また、接着層14、ガラス30は透明とし

ているが、必ずしも完全無色透明を意味するものではなく、赤、緑、青色に着色されていても良い。この場合、カラー液晶表示装置を作製する際の、カラーフィルターを新たに設ける必要をなくすることも可能である。

【0042】次に、上述の液晶表示アレイの製造方法について説明する。図2(a)~(h)は、本実施例の液晶表示アレイの製造方法の断面図を示したものである。図2(a)は、単結晶Si基板1に研削、エッチング等により溝を形成して、表面に熱酸化、CVD等によりSiO₂からなるバリア膜20を形成する工程であり、バ

リア膜20は、上述の溝に充填するガラス内の不純物が単結晶Si基板1に拡散するのを防ぐ。

【0043】図2(b)は、上述の溝に例えばSi-B-O等の800℃以上の高耐熱性を有する高融点ガラス30を堆積、充填する工程であり、このガラス30には、後工程のMOSトランジスタ形成工程に耐える得るガラスを選択する必要がある。

【0044】図2(c)は、上述のガラス30の表面を研削、研磨して、単結晶Si基板1の基板面が露出するまで除去する工程であり、この工程によりガラス30が

充填された単結晶Si基板1が得られる。

【0045】図2(d)は、通常の半導体製造装置、プロセス条件を用いて、上述の単結晶Si基板1の露出部にMOSトランジスタを形成し、ガラス30の上に透明画素電極等を形成する工程であり、MOSトランジスタのゲート絶縁膜2は950℃以上で形成した熱酸化膜を使用する方が再現性、信頼性の点で優れている。また、図中では保護膜11は平坦化されたものを示したが、有機接着材、低融点ガラス等を使用する場合にはこの限りではない。

【0046】図2(e)は、上述の素子形成面側にSi、石英、ガラス等からなる支持基板13を、アクリル、エポキシ等の有機接着剤からなる接合層12で接合する工程であり、接合方法としては、他に陽極接合、半田接合、低融点ガラス接合等があるが、本製造方法では後工程でこの接合層12と支持基板13を除去するので、除去し易い有機接着剤を使用することが望ましい。

【0047】図2(f)は、単結晶Si基板1の裏面にバリア膜20とガラス30の透明溝部が露出するまでエッチングまたは研削、研磨する工程であり、この工程に

において、特にCMP (Chemical and Mechanical Polishing: 化学的機械研磨) を用いると、精度の良い単結晶Si基板1の薄膜化が行える。

【0048】図2(g)は、上述の単結晶Si基板1の裏面に石英、ガラス、プラスチック等からなる透明支持基板15を、アクリル、エポキシ等の透明な有機接着剤からなる接合層14で接合する工程であり、接合方法としては他に陽極接合、低融点ガラス接合等があるが、ここでは接合層14が透明であることが必要条件になる。

【0049】図2(h)は、上述の支持基板13、接合層12を保護膜11が露出するまで除去する工程であり、接合層12は溶剤やO₂プラズマエッチング等により除去することができる。以上の工程により、液晶表示アレイが完成する。

【0050】実施例2. 図3(a)、(b)は、上述の実施例1の製造方法により形成される他の液晶表示アレイの断面図を示したものである。図3(a)、(b)は、光リーク電流を防止するためにMOSトランジスタの上部と下部に遮光膜を設けた例である。図3(a)は、MOSトランジスタの保護膜11の上と、単結晶Si基板1の裏面に遮光膜90、91を設けたものであり、図3(b)は保護膜11の上と、透明支持基板15の上に遮光膜90、92を設けたものである。遮光膜90、91、92は遮光性があるものであれば、絶縁体でも導体でも無機物でも有機物でも構わないが、MOSトランジスタの寄生容量を少なくする点と、MOSトランジスタの短絡を防止する点を考慮すると絶縁体が望ましい。遮光性のある絶縁体としては、無機物では黒色PrMnO₃、有機物では黒色素の入った樹脂が挙げられる。なお、以下の実施例でも遮光膜は本実施例と同様に適用できる。

【0051】実施例3. 図4(a)~(b)は、他の液晶表示アレイの製造方法を示す断面図である。図4(a)までの製造工程は、上述の実施例1の図2(a)~(f)までの工程と同様であるが、その形状は実施例1の図2(f)の形状を上下反転したものになっている。そして、14はアクリル、エポキシ等の透明な有機接着剤からなる接合層で、15は石英、ガラス、プラスチック等からなる透明な支持基板である。

【0052】図4(b)は、Si、Al、Mo、Ti、W、Ta、Cr、Cu等からなる第2ドレイン電極16、透明なITO等からなる画素電極17、Si₃N₄、SiO₂、Al₂O₃、Ta₂O₅等からなる保護膜18を形成する工程であり、以上の工程を経て液晶表示アレイが完成する。なお、本実施例では、単結晶Si基板1の裏面に画素電極17等を形成する工程が付加されるが、支持基板を接合する工程が1回ですむという利点がある。

【0053】実施例4. 図5は、上述の実施例3の製造方法により形成される他の液晶表示アレイの断面図を示

したものである。本実施例では、実施例1の図2(d)の工程において、MOSトランジスタのみを形成し、ソース、ドレイン電極9、10、保持容量電極6、保持容量膜7は単結晶Si基板1の裏面に形成している。このような構成にすると、ゲート配線3とソース配線9が単結晶Si基板1の表裏面に分離して形成されるので、短絡の心配がなくなるという利点がある。

【0054】実施例5. 図6(a)～(f)は、他の液晶表示アレイの製造方法を示す断面図である。図6

(a)は、単結晶Si基板1に研削、エッチング等により溝を形成し、その表面に熱酸化、CVD等によりSiO₂からなるバリア膜20を形成する工程であり、バリア膜20は、上述の溝に充填するガラス内の不純物が単結晶Si基板1に拡散するのを防ぐ。

【0055】図6(b)は、上述の溝に例えばSi-B-O等の800℃以上の高耐熱性を有する高融点ガラス30を堆積、充填する工程であり、このガラス30には後工程のMOSトランジスタ形成工程に耐える得るガラスを選択する必要がある。

【0056】図6(c)は、石英等からなる透明支持基板15をガラス30と突き合わせ、加圧、加熱熔融して接合する工程であり、透明支持基板15は後工程のMOSトランジスタ形成工程に耐える得る必要がある。

【0057】図6(d)は、単結晶Si基板1の裏面をバリア膜20、ガラス30が充填された透明溝部が露出するまでエッチングまたは研削、研磨する工程である。

【0058】図6(e)は、上述の基板を上下反転し、ガラス30の中に埋め込まれた形の単結晶Si基板1の露出部にMOSトランジスタを形成する工程である。

【0059】図6(f)は、上述のガラス30の充填部に、保持容量電極6、保持容量膜7、透明画素電極8、保護膜11等を形成する工程である。

【0060】実施例6. 図7(a)～(g)は、他の液晶表示アレイの製造方法を示す断面図である。図7

(a)は、単結晶Si基板1内にエッチングストップ層21を形成する工程であり、本実施例では、このエッチングストップ層21はBのイオン注入による高濃度B層から形成される。高濃度B層は、加速電圧200keVのBのイオン注入により、単結晶Si基板1の表面から600nm～800nmの領域にわたって形成され、そのイオン濃度は $10^{20}/\text{cm}^3$ 以上である。高濃度のBのイオン注入を行うと、Bイオンが通過した単結晶Si基板1内には欠陥が生じるので、その後熱処理によってその欠陥を回復させる。その他、エッチングストップ層を形成する方法としてはO、N等のイオン注入により単結晶Si基板内にSiO₂層、Si₃N₄層を形成する方法がある。

【0061】図7(b)は、上述のエッチングストップ層21の上部の単結晶Si部分にMOSトランジスタを形成する工程であり、2はゲート絶縁膜、3はゲート電

極、4、5はソース、ドレイン領域である。

【0062】図7(c)は、透明画素電極8を形成する部分のエッチングストップ層21の上部の単結晶Si部分をエッチングストップ層21まで除去し、溝を形成する工程である。なお、図7(b)と(c)の工程は順序を逆に行うことも可能である。

【0063】図7(d)は、上述の溝に透明画素電極8、保持容量電極6、保護膜11等を形成する工程である。

【0064】図7(e)は、上述の素子形成面に透明支持板15を、接合層14により接合する工程である。

【0065】図7(f)は、単結晶Si基板1の裏面をエッチングストップ層21まで除去する工程である。この場合、最初にエッチングストップ層21からSi層を20～30μm程度残して単結晶Si基板1を研削、研磨し、その後ウエットエッチングによって残ったSi層を除去する。このとき、高濃度B層がエッチングストップ層21として働く。エッチング液として、TMAH

(Tetramethyl ammoniumhydroxide: (CH₃)₄NOH)を用いると、単結晶Si基板1を高濃度B層の100～200倍程度の速度でエッチングすることができる。その他エッチング液としては、KOHやEDP(Ethylene Diamine Pyrocatechol)がある。単結晶Si基板1の裏面を除去する際に、研削、研磨を併用しているのはエッチング時間を短縮するためである。また、エッチングストップ層21がSiO₂層、Si₃N₄層からなる場合も同様である。

【0066】図7(g)は、高濃度B層からなるエッチングストップ層21をSF₆、CF₄、プラズマ等のドライエッチングにより除去し、Si₃N₄、SiO₂、Al₂O₃、Ta₂O₅等からなる保護膜18を形成する工程である。エッチングストップ層21がSiO₂、Si₃N₄からなる場合は、エッチングストップ層21が保護膜として使用できるのでこの工程は不要である。

【0067】実施例7. 図8(a)～(g)は、他の液晶表示アレイの製造方法を示す断面図である。図8

(a)は、単結晶Si基板1内にエッチングストップ層22を形成する工程であり、このエッチングストップ層22はBのイオン注入による高濃度B層から形成されている。高濃度のBのイオン注入を行うと、Bイオンが通過した部分の単結晶Si基板1内に欠陥が生じるので、その後の熱処理によってその欠陥を回復させる。その他のエッチングストップ層を形成する方法としては、O、N等のイオン注入によりSiO₂層、Si₃N₄層を形成する方法がある。

【0068】また、単結晶Si基板1にエッチングストップ層22を形成する代わりに、単結晶Si基板の貼合わせによるSOI基板(Silicon on Insulator)を使用することもできる。貼合わせSOI基板は、単結晶Si基板と表面を熱酸化した単結晶Si基板を電界印加、加

熱処理等で接合し、そのどちらか一方の単結晶 Si 基板の裏面を研削、研磨して薄膜化したものである。そして、この時は SOI 基板の絶縁層がエッチングストップ層 22 となる。また、薄膜化した単結晶 Si 基板厚は液晶厚、例えば 1~15 μm に対応させるとよい。

【0069】図 8 (b) は、熱酸化によってゲート絶縁膜 2 を形成する工程である。

【0070】図 8 (c) は、MOS トランジスタと保持容量素子、透明画素電極 8、保護膜 11 等を形成する工程である。

【0071】図 8 (d) は、上述の素子形成面側に透明支持板 15 を、接合層 14 により接合する工程である。

【0072】図 8 (e) は、単結晶 Si 基板 1 の裏面をエッチングストップ層 22 まで研削、研磨およびウェットエッチングにより除去する工程である。

【0073】図 8 (f) は、透明画素電極 8 部のエッチングストップ層 22 と単結晶 Si 基板 1 をエッチングにより除去する工程である。この時、ゲート絶縁膜 2 はエッチングストップ層として作用する。

【0074】図 8 (g) は、MOS トランジスタ形成部の単結晶 Si 基板 1 の周囲に絶縁膜 26 を形成する工程である。この絶縁膜 26 は液晶に単結晶 Si 基板 1 から直流電流が漏れるのを防止する。

【0075】なお、本実施例において、SOI 基板を使用した場合、単結晶 Si 基板は研削、研磨の制御で厚く残す事ができるので、それを液晶セル厚を規定する対向基板とのギャップスペーサとして使用する事ができる。また、単結晶 Si 基板をゲート配線、ソース配線部にも残すと、隣接画素間の画素電極からの電界干渉を防止する障壁として使用することができる。

【0076】実施例 8. 図 9 (a) ~ (c) は、他の液晶表示アレイの製造方法を示す断面図である。図 9

(a) は、単結晶 Si 基板 1 の透明画素電極 8 形成予定部分に、深さ 1~数十 μm の溝を形成し、その上に熱酸化膜等からなるゲート絶縁膜 2 を形成する工程である。

【0077】図 9 (b) は、上述の溝以外の単結晶 Si 基板 1 の部分に MOS トランジスタ、上述の溝に透明画素電極 8、保持容量素子、保護膜 11 等を形成する工程である。

【0078】図 9 (c) は、上述の素子形成面側に透明支持板 15 を透明接着剤からなる接合層 14 で接合し、単結晶 Si 基板 1 を裏面より研削、研磨して透明溝部が露出するまで除去する工程である。特に、研削、研磨として CMP を用いると精度の良い単結晶 Si 基板 1 の薄膜化が可能である。この時、溝部のゲート絶縁膜 2 がエッチングストップ層として働く。こうして液晶表示アレイが完成する。また、本実施例では、エッチングストップ層としてゲート絶縁膜 2 を兼用したが、これは別個に設けてもよい。

【0079】実施例 9. 図 10 (a) ~ (c) は、他の

液晶表示アレイの製造方法を示す断面図である。図 10 (a) は、単結晶 Si 基板 1 上に MOS トランジスタを、Poly-Si 等からなる犠牲層 23 上に、ゲート絶縁膜 2 を挟んで保持容量電極 6、保持容量膜 7、透明画素電極 8、保護膜 11 等を形成する工程である。

【0080】図 10 (b) は、単結晶 Si 基板 1 の裏面を、厚さ 1~数十 μm に研削、研磨し、透明支持板 15 を透明接着剤等からなる接合層 14 で接合し、透明画素電極 8 の周囲にエッチング孔 19 を開け、このエッチング孔 19 を使って、透明画素電極 8 の下部の単結晶 Si 基板 1 を異方性エッチング液により除去する工程である。この時、エッチング孔 19 は犠牲層 23 の上に設けるとよい。犠牲層 23 は、エッチング液を内部に導く役割をする。異方性エッチング液としては、TMAH (Trimethyl ammonium hydroxide: $(\text{CH}_3)_4\text{NOH}$) や KOH、EDP (Ethylene Diamine Pyrocatechol) 等があり、リン酸と KOH 混合液によるレーザ誘起選択エッチングも可能である。

【0081】図 10 (c) は、上述の単結晶 Si 基板 1 を除去した後の空洞部に、アクリル、エポキシ樹脂等からなる透明封止剤 24 を充填する工程である。透明封止剤 24 は、必ずしも完全無色透明を意味するものではなく、赤、緑、青色に着色されていても良い。この場合、カラー液晶表示装置を作製する際の、カラーフィルタを新たに設ける必要がなくなる。

【0082】実施例 10. 図 11 (a) ~ (c) は、他の液晶表示アレイの製造方法を示す断面図である。図 11 (a) は、単結晶 Si 基板 1 上に MOS トランジスタを、Poly-Si 等からなる犠牲層 23 上に、ゲート絶縁膜 2 を挟んで保持容量電極 6、保持容量膜 7、透明画素電極 8、保護膜 11 等を形成する工程である。

【0083】図 11 (b) は、単結晶 Si 基板 1 の裏面を、液晶厚に対応させて厚さ 1~数十 μm に研削、研磨し、ITO 等からなる透明導体 25 の形成された透明支持板 15 をアクリル、エポキシ等の有機接着剤からなる接合層 14 で接合し、透明画素電極 8 の周囲にエッチング孔 19 を開け、このエッチング孔 19 を使って、透明画素電極 8 の下部の単結晶 Si 基板 1 を異方性エッチング液で除去する工程である。この時、エッチング孔 19 は犠牲層 23 の上に設けるとよい。また、透明支持基板 15 は液晶セル形成時の対向基板にもなるし、単結晶 Si 基板 1 は液晶セル厚を規定する対向基板とのギャップスペーサとして使用される。

【0084】図 11 (c) は、上述の空洞部に液晶 27 を注入し、保護膜 11 の表面を樹脂等からなる透明封止剤 24 で封止する工程である。こうして、液晶表示アレイが完成する。

【0085】以上のように上述の実施例 1~10 では、画素部についてのみ説明したが、周辺回路素子の MOS トランジスタについても n 型、p 型両方のトランジスタ

を形成する必要がある点と、透明画素電極、保持容量素子等がない点と、溝部等を形成する必要がない点を除けば基本的に上述と同様な構造、製造方法で形成することができる。また、接合層 14 は全面に形成されたものを示したが、透明画素電極 8 が位置する部分にはなくても良いし、この場合、接合層 14 は透明である必要もない。

【0086】

【発明の効果】この発明の請求項 1 に係る液晶表示アレイは、画素のスイッチング素子や周辺回路素子が MOS トランジスタで構成されているため、画素の高精細化や高性能化が図れるだけでなく、再現性や信頼性を向上させることができるし、また、通常の半導体製造装置やプロセス条件が適用できるという効果を奏する。

【0087】この発明の請求項 2 に係る液晶表示アレイの製造方法は、単結晶 Si 基板に溝を形成してガラスを充填し、そのガラス充填部に透明画素電極を形成しているため、単結晶 Si 基板の薄膜化後に、MOS トランジスタが形成された単結晶 Si 部と透明画素電極が形成されたガラス充填部を分離できるという効果を奏する。

【0088】この発明の請求項 3 に係る液晶表示アレイの製造方法は、請求項 2 の液晶表示アレイの製造方法と同様、単結晶 Si 基板に溝を形成してガラスを充填し、そのガラス充填部に透明画素電極を形成しているため、単結晶 Si 基板の薄膜化後に、MOS トランジスタが形成された単結晶 Si 部と透明画素電極が形成されたガラス充填部を分離できるという効果を奏する。

【0089】この発明の請求項 4 に係る液晶表示アレイの製造方法は、請求項 2 又は請求項 3 の液晶表示アレイの製造方法と同様、単結晶 Si 基板に溝を形成してガラスを充填し、そのガラス充填部に透明画素電極を形成しているため、単結晶 Si 基板の薄膜化後に、MOS トランジスタが形成された単結晶 Si 部と透明画素電極が形成されたガラス充填部を分離できるという効果を奏する。

【0090】この発明の請求項 5 に係る液晶表示アレイの製造方法は、単結晶 Si 基板内に Si に比べてエッチング速度の小さいエッチングストップ層を形成し、そのエッチングストップ層上部の単結晶 Si 部分に MOS トランジスタを形成して、それ以外の部分をエッチングストップ層まで除去し溝を形成しているため、単結晶 Si 基板を薄膜化の際、膜厚を精度の良く制御できるという効果を奏する。

【0091】この発明の請求項 6 に係る液晶表示アレイの製造方法は、単結晶 Si 基板内に Si に比べてエッチング速度の小さいエッチングストップ層を形成し、そのエッチングストップ層上部の単結晶 Si 部分に MOS トランジスタと透明画素電極を形成しているため、透明支持基板接合後に、透明画素電極を形成する部分の Si を精度良く除去できるという効果を奏する。

【0092】この発明の請求項 7 に係る液晶表示アレイの製造方法は、B、O、N のイオン注入により、単結晶 Si 基板の内部に Si に比べてエッチング速度の小さいエッチングストップ層を形成することができるという効果を奏する。

【0093】この発明の請求項 8 に係る液晶表示アレイの製造方法は、単結晶 Si 基板に溝を形成し、その溝に Si に比べてエッチング速度の小さいエッチングストップ層と透明画素電極を形成しているため、透明支持基板接合後に、単結晶 Si 基板の膜厚を精度良く制御できるという効果を奏する。

【0094】この発明の請求項 9 に係る液晶表示アレイの製造方法は、単結晶 Si 基板を薄膜化した後、透明支持基板を接合し、透明画素電極部の単結晶 Si を除去して空洞を形成し、その空洞に透明封止剤を充填しているため、画素部を透明にできるという効果を奏する。

【0095】この発明の請求項 10 に係る液晶表示アレイの製造方法は、単結晶 Si 基板を薄膜化した後、対向電極となる透明導体付きの透明支持基板を接合し、透明画素電極部の単結晶 Si を除去して空洞を形成し、その空洞に液晶を注入しているため、画素部が透明な液晶表示アレイを形成できるという効果を奏する。

【0096】この発明の請求項 11 に係る液晶表示アレイの製造方法は、請求項 9 又は 10 の液晶表示アレイの製造方法において、透明画素電極と単結晶 Si 基板との間にエッチング液を導く犠牲層を設ける工程を含むため、透明画素電極部の単結晶 Si を精度良く除去できるという効果を奏する。

【0097】この発明の請求項 12 に係る液晶表示アレイは、単結晶 Si 基板を用いて形成された MOS トランジスタと、前記 MOS トランジスタに隣接するガラス上に形成された透明画素電極であって、透明画素電極部の単結晶部分の除去部から液晶が注入された透明画素電極とからなり、前記単結晶 Si 基板が液晶セル厚を規定する対向基板とのギャップスペースかまたは画素分離壁とされているため、新たにギャップスペースを設ける必要がなく、また、隣接画素間の画素電極からの電界干渉を防止できるという効果を奏する。

【図面の簡単な説明】

【図 1】 この発明の実施例 1 による液晶表示アレイの断面図と平面図である。

【図 2】 この発明の実施例 1 による液晶表示アレイの製造方法を示す断面図である。

【図 3】 この発明の実施例 2 による液晶表示アレイの断面図である。

【図 4】 この発明の実施例 3 による液晶表示アレイの製造方法を示す断面図である。

【図 5】 この発明の実施例 4 による液晶表示アレイの製造方法を示す断面図である。

【図 6】 この発明の実施例 5 による液晶表示アレイの

製造方法を示す断面図である。

【図 7】 この発明の実施例 6 による液晶表示アレイの製造方法を示す断面図である。

【図 8】 この発明の実施例 7 による液晶表示アレイの製造方法を示す断面図である。

【図 9】 この発明の実施例 8 による液晶表示アレイの製造方法を示す断面図である。

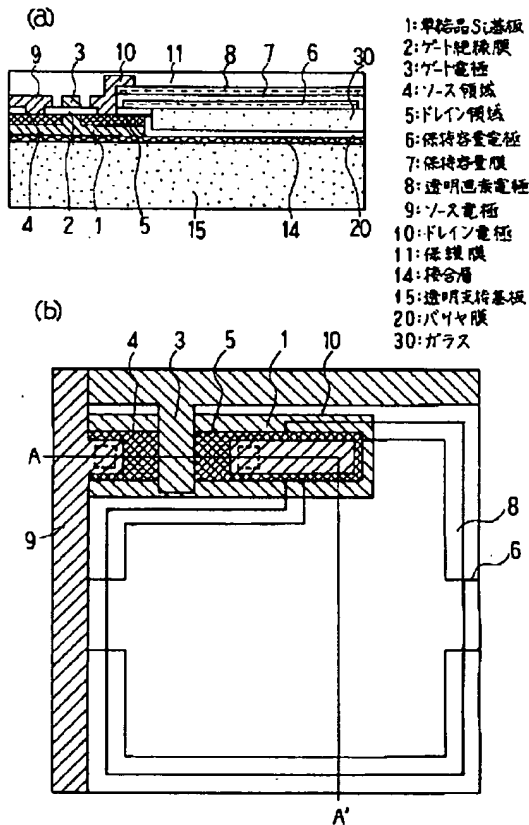
【図 10】 この発明の実施例 9 による液晶表示アレイの製造方法を示す断面図である。

【図 11】 この発明の実施例 10 による液晶表示アレイの製造方法を示す断面図である。

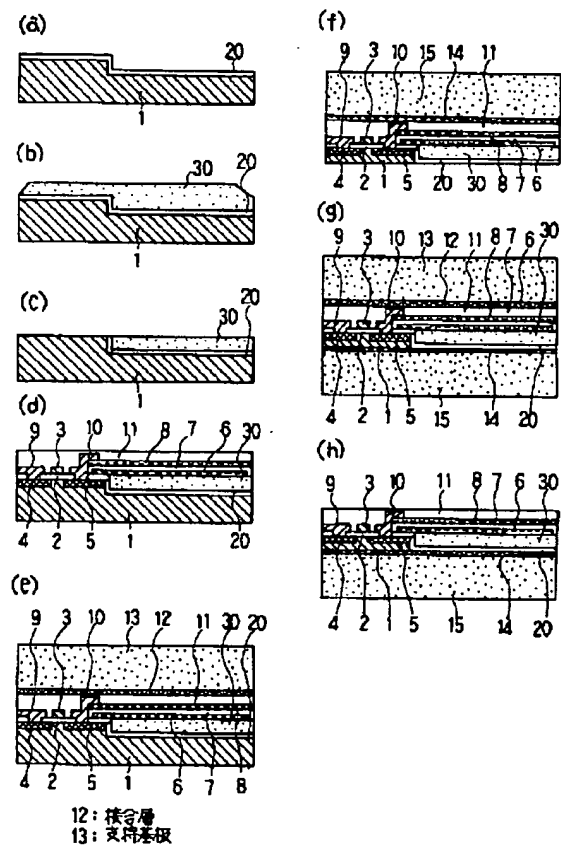
【図 12】 従来の液晶表示アレイの断面図と平面図である。

【図 13】 従来の液晶表示アレイの製造方法を示す断*

【図 1】



【図 2】

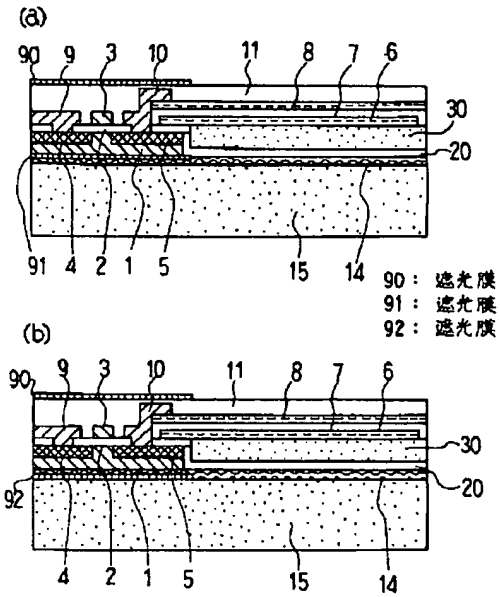


* 面図である。

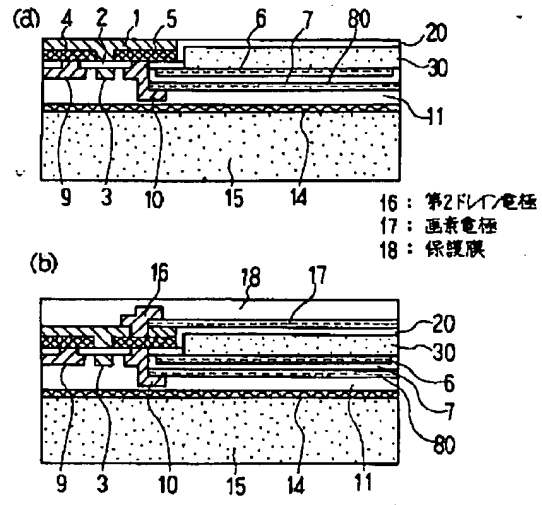
【符号の説明】

1 単結晶 Si 基板、2 ゲート絶縁膜、3 ゲート電極、4 ソース領域、5 ドレイン領域、6 保持容量電極、7 保持容量膜、8 透明画素電極、9 ソース電極、10 ドレイン電極、11 保護膜、12 接合層、13 支持基板、14 接合層、15 透明支持基板、16 第 2 ドレイン電極、17 画素電極、18 保護膜、19 エッチング孔、20 パリヤ膜、21、22 エッチングストップ層、23 犠牲層、24 透明封止剤、25 透明導体、26 絶縁膜、27 液晶、30 ガラス、90、91、92 遮光膜、101 チャンネル、102 分離絶縁膜、104 ソース、105 ドレイン。

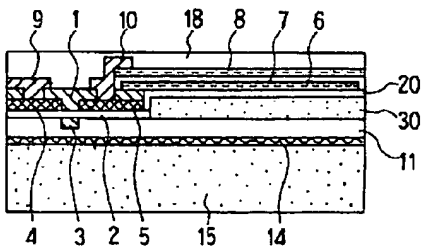
【図3】



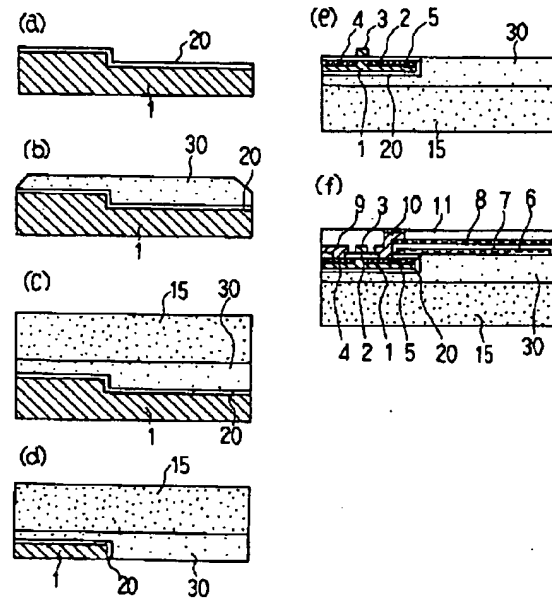
【図4】



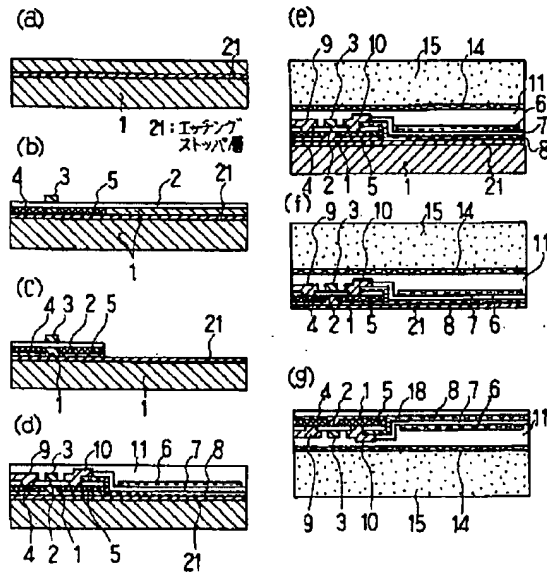
【図5】



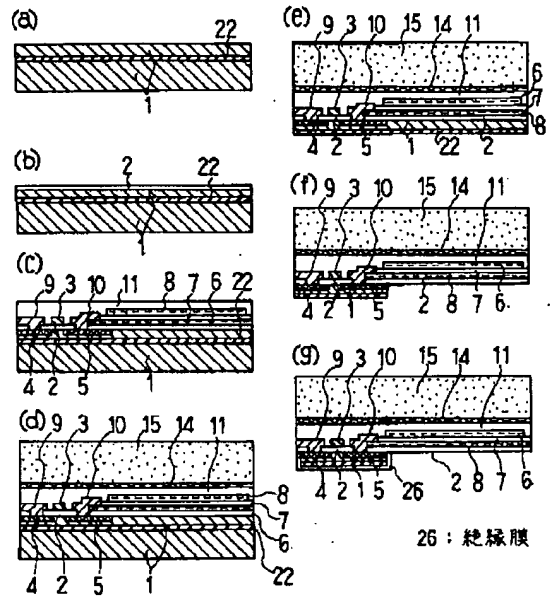
【図6】



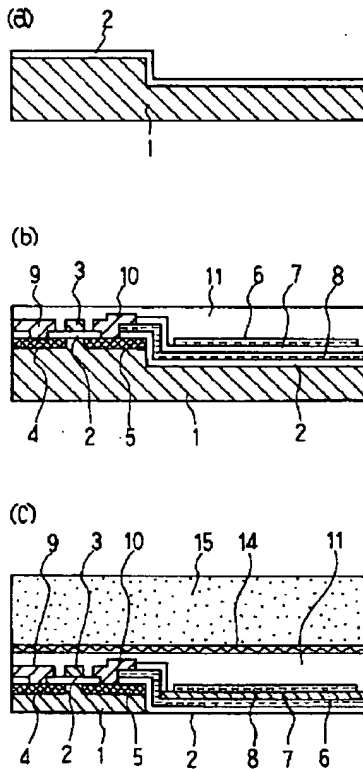
【図7】



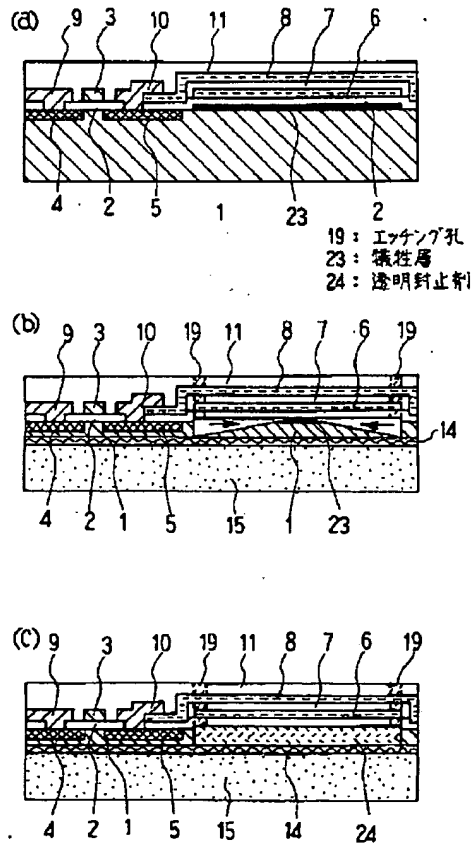
【図8】



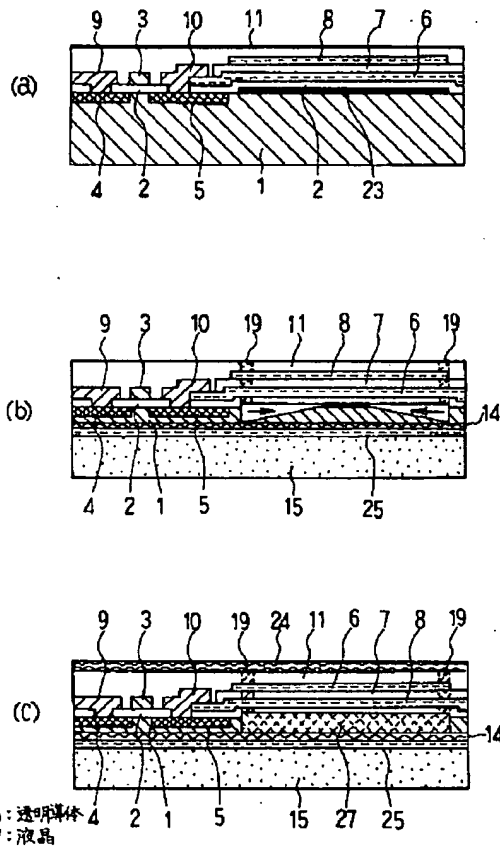
【図9】



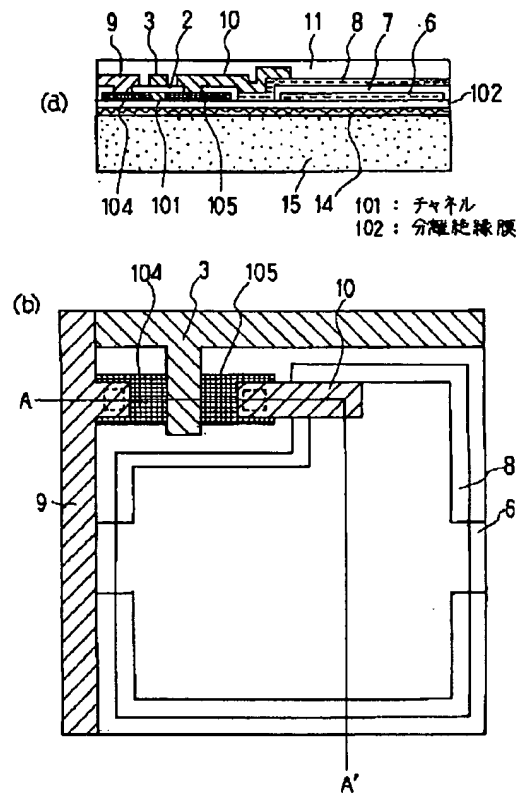
【図10】



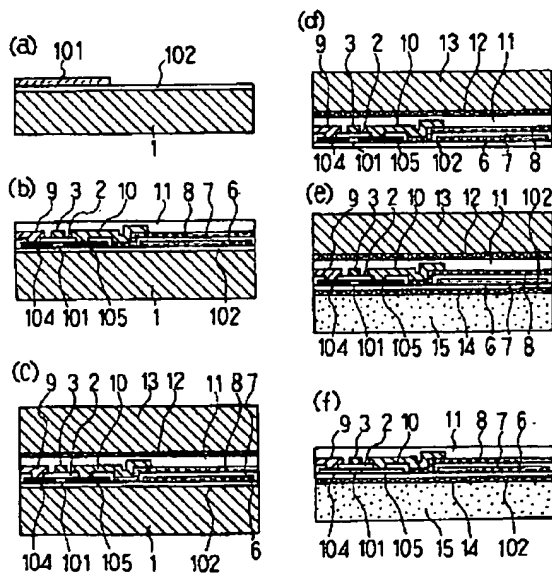
【図11】



【図12】



【図13】



フロントページの続き

(51) Int. Cl. ⁶ H 0 1 L 21/336	識別記号	序内整理番号	F I	技術表示箇所
--	------	--------	-----	--------

(72)発明者 岩佐 俊典
尼崎市塚口本町八丁目 1 番 1 号 三菱電機
株式会社材料デバイス研究所内

(72)発明者 高橋 和久
尼崎市塚口本町八丁目 1 番 1 号 三菱電機
株式会社材料デバイス研究所内

(72)発明者 熊谷 宗人
尼崎市塚口本町八丁目 1 番 1 号 三菱電機
株式会社材料デバイス研究所内

(72)発明者 来住 久敏
尼崎市塚口本町八丁目 1 番 1 号 三菱電機
株式会社材料デバイス研究所内

(72)発明者 浪崎 博文
尼崎市塚口本町八丁目 1 番 1 号 三菱電機
株式会社材料デバイス研究所内